

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-322130
(43)Date of publication of application : 08.12.1995

(51)Int.Cl. H04N 5/232
H04N 5/215

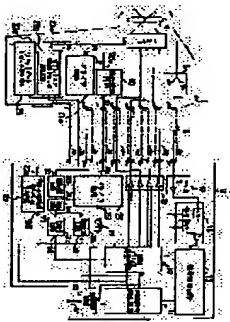
(21)Application number : 06-115382 (71)Applicant : MITSUBISHI ELECTRIC CORP
(22)Date of filing : 27.05.1994 (72)Inventor : YOSHIDA JUNICHI
FUJII YOSHIYUKI

(54) IMAGE PICKUP DEVICE

(57)Abstract:

PURPOSE: To provide an image pickup device which needs no phase compensating switch regardless of the length of a cable that connects a camera head to a controller.

CONSTITUTION: A camera head 1 is connected to a controller 2 via a cable 3. The head 1 includes a solid state image pickup element 5, a horizontal register transfer clock generating circuit 22 and a reset gate clock generating circuit 23. The controller 2 includes a circuit 62 which detects the phase difference between an external synchronizing signal and the synchronizing signal received from a synchronizing signal generating circuit 11 and converts the phase difference into the voltage, a circuit 67 which converts the output of the circuit 62 into the frequency, a circuit 27 which doubles an original clock received from the head 1, a circuit 10 which produces a solid state image pickup element driving pulse from the output of the circuit 27, and a circuit 28 which compares the phases with each other between the original clock of the head 1 and the clock which is sent to the circuit 11 from the circuit 10.



LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]

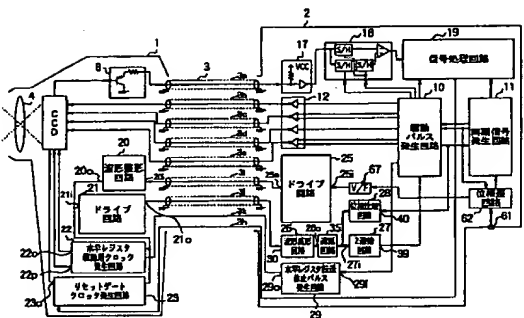
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C): 1998,2000 Japanese Patent Office

(31) Int. Cl. ⁶ H 04 N 5/233 5/235	被検記号 Z F	庁内整理番号 F 1	技術表示箇所
(21) 出願番号 (22) 出願日	特願平6-115383 平成6年(1994)5月27日	(11) 出願人 (12) 発明者 (13) 発明者 (14) 代理人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目1番1号 吉田 潤一 京都府長岡京市岡場四所1番地 三菱電機株式会社映像システム開発研究所内 藤井 遵行 兵庫県姫路市千代田町140番地 三菱電機株式会社姫路製作所内 井理士 高田 守

(14) 【発明の名称】 撮像装置

(31) 【要約】 (修正有)
【目的】 カメラヘッドとコントローラを接続するケーブルかどのような長さであっても、位相補償用のスイッチによる切り換えを不要にする。
【構成】 カメラヘッド 1 とコントローラ 2 はケーブル 3 で接続されている。カメラヘッド 1 内には、固体撮像素子 5 と、水平レジスタ転送クロックおよびリセットクロック発生回路 2、23 を備え、コントローラ 2 内には、外部同期と同期信号発生回路が出力する同期信号との位相差を検出し位相に変換する回路 62 と、位相差検出回路の出力を同期数に変換する回路 67 と、カメラヘッドからの原クロックを 2 倍倍する回路 27 と、前記 2 倍倍回路の出力から固体撮像素子駆動用パルスと駆動パルス発生回路から同期信号発生回路 11へ出力するクロックの位相を比較する回路 28 とを備える。



【特許請求の範囲】

【請求項 1】 カメラヘッド (1) とコントローラ (2) が別体であって、

上記カメラヘッド (1) 内に、光学像を電気信号に変換する固体撮像素子 (5) と、上記コントローラ (2) から供給される原クロックおよび水平転送停止パルスから水平レジスタ転送クロックを発生する手段 (22) と、上記コントローラから供給される原クロックおよびリセットクロック電圧からリセットクロックを発生する手段 (23) とを備え、
上記コントローラ (2) 内に、カメラヘッドから送り返される原クロックを 2 倍倍する手段 (27) と、上記 2 倍倍手段から出力されるクロックから水平レジスタ転送クロック、垂直レジスタ転送クロック等の固体撮像素子駆動用パルスを発生する駆動パルス発生手段 (10) と、上記駆動パルス発生手段 (10) から出力される垂直レジスタ転送クロック等から垂直レジスタ駆動パルスを発生するクロックドライバ (12) と、上記駆動パルス発生手段 (10) から出力される信号と上記同期信号発生手段 (11) から出力される水平であるいは垂直同期信号との位相差を検出し電圧に変換する位相差検出手段 (62) と、上記位相差検出手段 (62) から出力される電圧を周波数に変換する電圧一周波数変換手段 (67) と、上記電圧一周波数変換手段 (67) の出力である原クロックを上記カメラヘッド (1) に送り出すドライバ回路 (25) と、上記カメラヘッド (1) から送り返される原クロックと上記駆動パルス発生手段 (10) から上記同期信号発生手段 (11) へ出力されるクロックの位相を比較する位相比較手段 (28) とを備え、
上記位相比較手段 (28) の出力で上記 2 倍倍手段 (27) の制御し上記位相比較手段 (28) に入力される 2 つのクロックの位相差を一定にすることを特徴とする撮像装置。

【請求項 2】 上記 2 倍倍手段 (27) の制御を、上記位相比較手段 (28) の出力に基づき上記 2 倍倍手段 (27) の出力であるクロックを奇数回除法するか否かで行うことを特徴とする請求項 1 に記載の撮像装置。
【請求項 3】 上記 2 倍倍手段 (27) の制御を、上記位相比較手段 (28) の出力に基づき上記 2 倍倍手段 (27) の入力に正転あるいは反転することにより行うことを特徴とする請求項 1 に記載の撮像装置。
【請求項 4】 上記 2 倍倍手段 (27) を、入力クロックと入力クロックを 1/4 同期遅延させたクロックを排他的論理和にして入力する構成とし、上記 2 倍倍手段 (27) の制御を上記排他的論理和の入力のどちらか一方のクロックを奇数回除法するか否かで行うことを特徴とする請求項 1 に記載の撮像装置。

【発明の詳細な説明】

【00001】
【産業上の利用分野】 本発明は、固体撮像素子を用いた撮像装置に関し、特にカメラヘッドとカメラコントローラが別体の撮像装置に関する。

【00002】
【従来の技術】 図 18 は従来のカメラヘッドとカメラコントローラが別体の撮像装置の構成図を示す。この装置は、カメラヘッド 1 とカメラコントローラ 2 と両者を接続する接続用ケーブル 3 で構成されている。

【00003】 カメラヘッド 1 は、レジスタ 4、固体撮像素子 5、水平クロックドライバ 6、リセットクロックドライバ 7 および固体撮像素子 5 の出力信号用ドライバ回路 8 で構成されている。

【00004】 水平クロックドライバ 6 およびリセットクロック発生回路 7 は、それぞれ図 16 および図 17 に示すように構成されている。

【00005】 カメラヘッド 1 の 2 は、外部から外部同期信号入力端子 61 に供給される信号と同期信号発生回路 11 から出力される信号と同期信号発生回路 11 から出力される電圧を周波数に変換し原クロックを発生する電圧一周波数変換回路 (V/F 変換回路) 63、原クロックから固体撮像素子 5 を駆動するのに必要な水平駆動パルスおよび垂直駆動パルスを発生する駆動パルス発生回路 10、駆動パルス発生回路 10 から出力されるクロックから同期信号を発生する同期信号発生回路 11、駆動パルス発生回路 11 から出力される垂直レジスタ転送クロックおよび電荷転送パルスを発生する垂直クロックドライバ 12、駆動パルス発生回路 10 から出力される水平レジスタ転送クロックとリセットクロックを遅延する遅延回路 13、ケーブル 3 の長さに応じて遅延量を切り換えるための遅延量切換スイッチ 14、水平レジスタ転送クロックドライバ回路 15、リセットクロックドライバ回路 16、カメラヘッドから送られてくる固体撮像素子 5 の出力の終端による減衰を補償する増幅回路 17、固体撮像素子 5 の出力のリセット導線を駆動するための相関 2 重サンプリング回路 18 および相関 2 重サンプリング回路 18 の出力に対して処理、色分離、同期信号付加等の処理を行う信号処理回路 19 で構成される。ケーブル 3 は、同軸ケーブル 3a および同軸ケーブル 3b からなる。

【00006】 水平レジスタ転送クロックドライバ回路 15 およびリセットクロックドライバ回路 16 はそれぞれ図 18 および図 19 に示すように構成されている。

【00007】 次に動作について説明する。このシステムの基準である外部同期信号は外部から外部同期信号入力端子 61 に供給され、位相差検出回路 62 に入力される。このシステムの構成、外部同期 (外部からの同期信号

号に対するカメラヘッド1とコントローラ2の同期)は電圧一周波数変換回路63から、駆動/バス発生回路10、同期信号発生回路11および位相整検出回路62を経て電圧一周波数変換回路63に戻るルーチでPLL(フェーズロックループ)を構成して行う。図20に位相整検出回路62の一例を示す。図20に示す位相整検出回路は、外部同期信号がコンボジットビデオ信号(VBS)の場合のもので、このコンボジットビデオ信号から水平あるいは垂直同期信号を分離する同期信号分離回路64と、この分離回路64から出力される水平あるいは垂直同期信号と同期信号発生回路11から出力される水平あるいは垂直同期信号の位相を検出し、一方の位相が進んでいる場合は“H”を他方が進んでいる場合は“L”を出しし同期の相合はハイインピーダンス状態で構成される。同期信号分離回路64から同期信号発生回路11に出力される信号は垂直同期/バスで、このバスで同期信号発生回路11をリセットすることにより、外部同期信号と同期信号発生回路11の同期信号との垂直方向の位相を合わせている。

【0008】電圧一周波数変換回路63で発生された固体像素子5の水平駆動周波数の2倍の周波数の原クロックは、駆動/バス発生回路10に入力される。この原クロックは駆動/バス発生回路10内で1/2分割され同期信号発生回路11に入力される。同期信号発生回路11ではこのクロックを元に、使用するTV方式に準じた水平同期信号HD、垂直同期信号VDおよび信号処理用/バスを発生する。この内、水平同期信号HDと垂直同期信号VDは駆動/バス発生回路10に送られる。駆動/バス発生回路10では、この2つのバスと原クロックから固体像素子5を駆動するのに必要な水平レジスタ駆送クロック(現在では2相駆動が主流である)、垂直レジスタ駆送クロック(現在では4相駆動が主流である)、固体像素子5のフोटオードに蓄積された信号電荷を垂直レジスタに読み出す電荷読み出し/バス、2つの相関二重サンプリング用/バスSHP(フリチャージレベルサンプリング用/バス)、SHD(信号レベルサンプリング用/バス)、固体像素子5内の出力信号用アナログであるフローチャイナデジタイズジョンプ(FDA)をリセットするリセットクロックおよび放電用の信号処理用/バスを発生する。

【0009】垂直レジスタ駆送クロックと電荷読み出し/バスは垂直クロックドライバ12に入力され、これらのバスから例えば4相駆動の場合、垂直レジスタ駆動用の3個のバス2つと2個のバス2つの計4つのバスが生成される。これらの垂直レジスタ駆動/バスは、同軸ケーブル3b〜3eを経由して固体像素子5に直接入力される。反射による波形歪をなくすには、終端抵抗を設けなければならないが、この場合終端抵抗を設け

ると反射による波形歪よりもむしろ終端抵抗による減衰(1/2に減衰する)の方が問題であるため、上記のように直接入力している。

【0010】水平レジスタ駆送クロックは、位相補償用の遅延回路13を経由し、水平レジスタ駆送クロック用ドライバ回路15に入力され、ドライバ回路15から同軸ケーブル3fを経由しカメラヘッド内の水平クロックドライバ6に供給される。水平レジスタ駆送クロックの場合は、反射による波形歪が問題になるため、水平レジスタ駆送クロックのドライバ回路15には終端抵抗を設ける。一方また、水平レジスタ駆送クロックは2相駆動の場合、固体像素子5には2つのバスを加える必要があるが、この2つのバスは正転と反転の関係にあり、同軸ケーブルは数が少ないほどケーブル全体の抵抗が少くなるので、同軸ケーブルを通じてカメラヘッドに入力される水平レジスタ駆送クロックはどちらか一方である。水平クロックドライバ6は、2相駆動の場合水平レジスタ駆送クロックが出力されるとこの駆動形状および振幅変換して水平レジスタ駆動/バスの一方とし、このクロックの反転クロックをもう一方として固体像素子5に入力する。図示の例では、2つのバスの一方Hのみがカメラヘッドコントローラ2からカメラヘッド1に供給され、カメラヘッド1内で他方H2が形成されている。

【0011】リセットゲートクロックRGは水平レジスタ駆送クロックと同様、位相補償用の遅延回路13を経由しリセットゲートクロック用ドライバ回路16に入力され、ドライバ回路16から同軸ケーブル3gを経由しカメラヘッド内のリセットゲートクロック発生回路7にリセットゲートクロックを入力する。リセットゲートクロックの場合も水平レジスタ駆送クロックと同様に、反射による波形歪みの発生を防ぐため、リセットゲートクロックのドライバ回路16には同軸ケーブル用出力抵抗を、またリセットゲートクロック発生回路7には終端抵抗を設ける。リセットゲートクロック発生回路7は、リセットゲートクロックが入力されるとこれを波形整形および振幅変換し、さらに“L”レベルをコントロールからケーブル3hを経由して送られてくるリセットゲートクロックと電圧にクランピングして最終的なリセットゲートクロックとし、これを固体像素子5に与える。ただし、振幅変換した振幅値が十分大きな場合はリセットゲートクロックをリセットゲートクロックの電圧にクランピングする必要はない。

【0012】固体像素子5はレジスタ5を通して表面に結露される光を受け、垂直レジスタ駆動/バス、水平レジスタ駆動/バスおよびリセットゲートクロックにより駆動されて、この光を受け電気信号に変換し、この電気信号を出力する。固体像素子5から出力される信号は、固体像素子出力信号用ドライバ回路8、同軸ケ

ーブル3aを経由してコントローラ2内の増幅回路17に入力される。この固体像素子5から出力される信号の場合も、反射による波形歪みの発生を防ぐため、固体像素子出力信号用ドライバ回路8には同軸ケーブル用出力抵抗を、また増幅回路7には終端抵抗を設ける。増幅回路17は、入力信号の終端による振幅の減衰を補償し、補償した信号を相関二重サンプリング回路18に入力する。

【0013】相関二重サンプリング回路18に入力される固体像素子5の出力信号を図21に示す。この固体像素子5の出力信号には種類の雑音が含まれているが、これらの中で支配的な雑音は、フローチャイナデジタイズジョンプ(FD)の周期的な雑音によって起因するリセット雑音(図21ではANPで示す)である。相関二重サンプリング回路18は、このリセット雑音を低減する回路である。原理は、リセット雑音を図21に示す期間t0のフリチャージレベルと期間tsの信号レベルに同量含まれていることを利用し、両者の差をとることによりリセット雑音を低減する。図15に示す相関二重サンプリング回路18の回路例では、フリチャージレベルは相関二重サンプリング用/バスSHPで、信号レベルは相関二重サンプリング用/バスSHDで各々サンプリングされ、両者の差を差動アンプによりとり、フリチャージレベルの差を差動アンプによりとり、フリチャージレベルと信号の位相を合わせるためである。

【0014】相関二重サンプリング回路18について説明したところで遅延回路13の必要性について併せておく。駆動/バス発生回路10から出力される水平レジスタ駆送クロック(2相駆動の場合はH1とH2)、リセットゲートクロック(RG)、相関二重サンプリング用/バスSHPとSHDおよび固体像素子5の出力信号の位相を図21に示す。この図から判るように、駆動/バス発生回路10は本来カメラヘッドとカメラヘッドコントローラが一体のカメラ用に開発されたものであるから、駆動/バス発生回路10から出力される相関二重サンプリング用/バスSHPおよびSHDは、同じく駆動/バス発生回路10から出力される水平レジスタ駆送クロックおよびリセットゲートクロックが固体像素子5に遅延が無く入力され、これらのクロックに同期して出力信号が読み出されるとき最適なタイミングになるように設計されている。

【0015】ヘッド分離型カメラの場合は、駆動/バス発生回路10と固体像素子5の出力信号は、ケーブルを介して離れているため、固体像素子5の出力信号は、ケーブルの長さの2倍分(水平レジスタ駆送クロックおよびリセットゲートクロックがケーブルを伝搬する分と固体像素子5の出力信号が伝搬する分)、相関二重サンプリング用/バスSHPおよびSHDに対して遅れる。言い方を換えれば、固体像素子5の出力信号に対して相関二

重サンプリング用/バスSHPおよびSHDは、ケーブルの長さの2倍分進む。この様子を図21の下の方に示す。従って、相関二重サンプリングを固体像素子5の出力信号に施すためには、SHPとSHDを固体像素子5の出力信号と同じ量だけ遅延させるか、あるいは固体像素子5の出力信号が丁度1周間の整数倍遅れるように水平レジスタ駆送クロックおよびリセットゲートクロックを遅らせる必要がある。そこで図示の例では、水平レジスタ駆送クロックH1およびリセットゲートクロックGを遅延させ、これにより固体像素子5における電気信号の発生を遅延させている。また、長さの異なるケーブルに切り換える場合は、ケーブルの長さに応じて位相ズレの量が異なるため、位相補償用の遅延量をスイッチ14により切り換える必要がある。

【0016】相関二重サンプリング回路によりリセット雑音を低減された信号は、信号処理回路19に入力され、γ処理、色分離、同期信号が加算等の処理を受けてTV信号となり出力される。

【0017】【発明が解決しようとする問題】従来の撮像装置は以上のように構成されているので、ケーブルによって生じる固体像素子出力信号と相関二重サンプリング用/バスの位相ズレを補償するため、その都度、使用するケーブルの長さに応じて遅延回路の遅延量をスイッチにより切り換えなければならないが、また、遅延回路に位相補償用の遅延量がないケーブルは使用できないという問題点があった。

【0018】本発明は上記の問題点を解決するためになされたもので、カメラヘッドとコントローラを接続するケーブルがどのよう長さであっても、位相補償用の遅延量をスイッチにより切り換える必要の無い、言い方を換えれば、遅延量切り換え不要な撮像装置を得ることを目的とする。

【0019】

【課題を解決するための手段】請求項1の撮像装置は、カメラヘッド(1)とコントローラ(2)が別体であっても、上記カメラヘッド(1)内に、光信号を電気信号に変換する固体像素子(5)と、上記コントローラ(2)から供給される原クロックおよび水平駆送停止バスから水平レジスタ駆送クロックを発生する手段(21)と、上記コントローラから供給される原クロックおよびリセットゲートクロック電圧からリセットゲートクロックを発生する手段(23)とを備え、上記コントローラ(2)内に、カメラヘッドから送り渡される原クロックを2倍倍する手段(27)と、上記2倍倍手段から出力されるクロックから水平レジスタ駆送クロック、垂直レジスタ駆送クロック等の固体像素子駆動用/バスを発生する駆動/バス発生手段(10)と、上記駆動/バス発生手段(10)から出力される垂直レジスタ駆送クロック等から垂直レジスタ駆動/バスを発生するクロ

1

ックドライバ(12)と、上記駆動/ウイルス発生手段(10)から出力されるクロックから各種の同期信号を発生する手段(11)と、外部から外部同期信号入力端子に供給される信号と上記同期信号発生手段(11)から出力される水平あるいは垂直同期信号との位相差を検出し、電圧に変換する位相検出手段(62)と、上記位相差検出手段(62)から出力される電圧を周波数に変換する電圧一周波数変換手段(67)と、上記電圧一周波数変換手段(67)の出力である周クロックを上記カメラヘッド(1)に送り出すドライフ回路(25)と、上記カメラヘッド(1)から送り返される周クロックと上記駆動/ウイルス発生手段(10)から上記同期信号発生手段(11)へ出力されるクロックの位相を比較する位相比較手段(28)とを備え、上記位相比較手段(28)の出力で上記2通信手段(27)を制御し上記位相比較手段(28)に入力される2つのクロックの位相差を一定にすることを特徴とする。

【0020】請求項2は、請求項1の装置において、上記2通信手段(27)の制御を、上記位相比較手段(28)の出力に基づき上記2通信手段(27)の出力であるクロックを奇数周除するか否かで行うことを特徴とする。

【0021】請求項3は、請求項1の装置において、上記2通信手段(27)の制御を、上記位相比較手段(28)の出力に基づき上記2通信手段(27)の入力を正転あるいは反転することにより行うことを特徴とする。

【0022】請求項4は、請求項1の装置において、上記2通信手段(27)を、入力クロックと入力クロックを1/4周期遅延させたクロックを抹他の論理和にして入力する構成と、上記2通信手段(27)の制御を上記抹他の論理和の入力のとどちらか一方のクロックを奇数周除するか否かで行うことを特徴とする。

【0023】

【作用】請求項1の発明に係る撮像装置は、電圧一周波数変換手段(67)の出力である周クロックをカメラヘッド(1)に送り返し、これと前記駆動/ウイルス発生手段(10)から前記同期信号発生手段(11)へ出力されるクロックの位相差を一定にするよう制御をしているため、固体撮像素子(5)の出力と前記駆動/ウイルス発生手段(10)から出力される相関二重サンプリング用/ウイルスの位相はケーブルの長さに関わらず常に一定となる。従って、カメラヘッド(1)とカメラコントローラ(2)とを接続するケーブル(3)のどのような長さであっても、位相補用の遅延量をスイッチにより切り換え、必要の無い、つまり遅延量切り換えスイッチが不要な撮像装置を得ることが出来る。

【0024】請求項2によれば、上記の所望の動作が簡単な回路構成で実現できる。

【0025】請求項3によれば、駆動/ウイルス発生手段内の遅延時間の如何に拘らず、所望の動作が実現できる。

3

【0026】請求項4では、回路素子遅延や温度変化あるいはそれらのバリエーションに起因する不安定性がない。

【0027】

【実施例】

実施例1

図1は本発明の一実施例による撮像装置を示す図である。図1において1～5、8、10～12および17～19は従来例と同様であるその説明を省略する。図1において、カメラヘッド1内にある、波形整形回路20はコントローラ2から同軸ケーブル3 iを経由して入力される周クロックの波形を整形する。ドライフ回路21は波形整形された周クロックをコントローラ2に送り返すためのものである。水平シフト駆動用クロック発生回路22は波形整形された周クロックとコントローラ2からケーブル3 kを経由して入力される水平シフト駆動用クロックから水平シフト駆動用クロックを発生する。リセットゲートクロック発生回路23は波形整形されたクロックとコントローラ2からケーブル3 hを経由して入力されるリセットゲートクロック電圧からリセットゲートクロックを発生する。ドライフ回路21は例えば図2に示すように構成されている。

【0028】コントローラ2内にある、電圧一周波数変換回路67は位相検出回路62の出力を周波数に変換し、固体撮像素子5の水平駆動周波数である周クロックを発生する。ドライフ回路25は2つの周クロックを同軸ケーブルに送り出すためのものである。波形整形回路26はカメラヘッド1から送り返される周クロックの波形を整形する。遅延回路(DL)35は、固体撮像素子5の出力と相関二重サンプリング用/ウイルスとの一定の位相差を吸収する。2通信回路27は遅延回路35の出力を2通信する。位相比較回路28は遅延回路35の出力(波形整形された遅延されたクロック)と駆動/ウイルス発生回路10から同期信号発生回路11に出力されるクロックの位相差を比較し、比較した結果に基づき2つのクロックの位相差を一定にするように2通信回路27を制御する。

【0029】水平シフト駆動用/ウイルス発生回路29は駆動/ウイルス発生回路10から出力される水平駆動/ウイルスのどれか1つから水平シフト駆動用/ウイルス(水平レジスタの転送休止期間を示す/ウイルス)を発生しケーブル3 kを経由してカメラヘッド1内の水平レジスタ駆動用クロック発生回路に入力する。ドライフ回路25は例えば図3に示すように構成されている。

【0030】図4は波形整形回路26の一例を示す図である。図4において、30はカメラヘッドから送り返される周クロックの入力端子である。終端抵抗31とコンデンサ32とフレイブバック抵抗33とNOT34とで波形整形回路26を構成する。波形整形回路26の出力は上記のように遅延回路35を介して2通信回路27および位相比較回路28に入与えられる。

【0031】図5は、この実施例で用いられる2通信回

10

路27と位相比較回路28を示す図である。39は2通信回路27の出力端子である。40は同期信号発生回路11に入力されるクロックの入力端子である。2通信回路27は、遅延回路35から入力されるクロックを1/4周期遅延する遅延回路36、抹他の論理和回路(EX-OR)37および検量回路(OR)38で構成される。位相比較回路28は、遅延回路35のクロック出力と入力端子40に供給されるクロックのエッジを揃えるための遅延回路41とEX-OR42とで構成されている。

【0032】上記のように構成された撮像装置について、以下その動作を説明する。このシステムの場合、外部同期(外部同期信号)に対するカメラヘッド1とカメラコントローラ2の同期)は電圧一周波数変換回路67から、ドライフ回路25、同軸ケーブル3 i、波形整形回路20、ドライフ回路21、同軸ケーブル3 j、波形整形回路26、遅延回路35、2通信回路27、駆動/ウイルス発生回路10、同期信号発生回路11および位相検出回路62を経て電圧一周波数変換回路67に戻るルーチでPLLを構成して行う。このシステムの基準である外部同期信号は外部から外部同期信号入力端子61に供給される。位相検出回路62に入力される。位相検出回路62は従来例と同様、外部同期信号と同期信号発生回路11からの同期信号の位相差を検出し電圧に変換して電圧一周波数変換回路67に入力する。電圧一周波数変換回路67は、この位相検出回路62の出力である電圧を固体撮像素子5の水平駆動周波数のクロック(周クロック)に変換し、ドライフ回路25に入力する。

【0033】周クロックはケーブル3 iを経由してカメラヘッド1内の波形整形回路20に入力され、ここでエッジが急峻にされる振幅もロジックレベルに属される。周クロックの反転による波形歪みを避けるために、コントローラ2内のドライフ回路25には同軸ケーブル用出力抵抗、カメラヘッド1内の波形整形回路20には終端抵抗が設けられている。波形整形された周クロックは、ドライフ回路21、水平シフト駆動用クロック発生回路22およびリセットゲートクロック発生回路23に入力される。

【0034】水平シフト駆動用/ウイルス発生回路29はケーブル3 jを経由してカメラヘッド1内の波形整形回路26に送り返される。水平レジスタ駆動用クロック発生回路22では2相駆動の場合、入力される周クロックをコントローラから送られて来る水平レジスタ転送休止パルスでゲートすることにより一方の(第1の相の)水平レジスタ転送クロックを、またこのクロックの反転をとることにより他方の(第2の相の)水平レジスタ転送クロックを発生し固体撮像素子5に入力する。

【0034】水平シフト駆動用/ウイルスは、コントローラ2内の駆動/ウイルス発生回路10から出力される水平駆動/ウイルスのどれか1つに基づき水平レジスタ転送休止パルス発生回路29で発生される。2相駆動の場合の水

平レジスタ転送休止パルス発生回路29の一例を図6に、その回路の主要部の波形を図7に示す。この回路では、コンデンサへの充電と放電の時刻を変えることにより、入力(水平レジスタ転送クロックH2)が長期間“L”である期間(水平レジスタ転送休止期間)を検出していている。

【0035】リセットゲートクロック発生回路23では入力される周クロックを微分回路により微分してパルス幅を調整し、このパルスの“L”レベルをカメラヘッド1から送られてくるリセットゲートクロック電圧にラッチし固体撮像素子5に入力する。

【0036】図8に、コントローラ2から送られてくる周クロックの波形を整形する波形整形回路20、水平レジスタ駆動用クロック発生回路22およびリセットゲートクロック発生回路23の一例を、図9にその回路の主要部の波形を示す。

【0037】コントローラ2では、送り返された周クロックを波形整形回路26で受け、そのエッジを急峻にすると同時に振幅をロジックレベルに属する。周クロックをコントローラ2に送り返すカメラヘッド1内のドライフ回路21には同軸ケーブル用出力抵抗を、周クロックの入力側であるコントローラ2内の波形整形回路26には終端抵抗を設けている。

【0038】本発明では従来例と異なり、駆動/ウイルス発生回路10用のクロックは、固体撮像素子5の出力信号用同軸ケーブル3 aと同一性の同軸ケーブル3 jを経由して送り返されてくる固体撮像素子5の水平駆動周波数と同じ周波数の周クロックを2通信して生成される。従って、固体撮像素子5の出力信号と駆動/ウイルス発生回路10用のクロックの位相差、あるいは、固体撮像素子5の出力信号と駆動/ウイルス発生回路10で発生される相関二重サンプリング回路用/ウイルスとの位相差は、ケーブルの長さに関わらず一定となる。遅延回路35はこの固体撮像素子5の出力信号と駆動/ウイルス発生回路10で発生される相関二重サンプリング回路用/ウイルスの一定の位相差を吸収し両者の位相を揃えるためのものである。

【0039】但し、以上のことは送り返されてくる周クロックと同期信号発生回路11に形成されるクロックの位相が、駆動/ウイルス発生回路10から同期信号発生回路11に出力されるクロックは、駆動/ウイルス発生回路10内で入力を単に1/2分刻みしただけのクロックなので、送り返されてくる周クロックを単に2通信し駆動/ウイルス発生回路10に入力されるクロックには互いに180度異なる2つの位相差が存在してしまう。従って、周クロックと同期信号発生回路11に入力されるクロックの位相差を一定にする必要がある。

【0040】図5に示す位相比較回路28内のEX-OR

R4 42はこの2つのクロックの位相を比較する。また、2連倍回路27内のOR3 8は2つの位相を比較した結果、予め定めた位相関係ないし位相遅延（この回路例ではEX-OR4 2の2つの入力の位相が同位相）でない場合には駆動パルス発生回路10に入力されるクロックを1個除去することにより2つのクロックの位相差を一定にする。この動作を図10のタイミングチャート図を使って詳しく説明する。

【0041】遅延回路35を通った原クロックは、遅延回路41により入力増子40に供給されるクロック（同期信号発生回路11に入力されるクロック）とエッジを揃えられ、そのクロックと共に位相比較用のEX-OR4 2に入力される。2つのクロックが位相比較用のEX-OR4 2に入力されると以下の動作によって、2つの入力の位相差が一時的にされる。以前の位相は不明（図10では×と表示）だが、現時点で既に遅延回路41を通った原クロックが“H”、入力増子40に供給されるクロックが“L”になったとする。するとこの半周期の間は、位相比較用のEX-OR4 2は“H”を出力する。このため、2連倍回路27の出力（駆動パルス発生回路10用クロックOR3 8の出力）は、図に示すようにクロックが1個除去された形になる。入力増子40に供給されるクロックは、この2連倍回路27の出力を単に1/2分周したものであるから、次の半周期ではトリガー（図10ではトリガーは立ち上がりとした）となるエッジが無いため“L”のままとなる。一方、遅延回路41を通った原クロックの方は次の半周期では“L”に反転するため、半周期で両者の位相が一致することになる。両者の位相が一致すると位相比較用のEX-OR4 2は“L”を出力するため、EX-OR3 7の出力はOR3 8をそのまま通過し、その状態が維持される。

【0042】上述の説明は、カメラヘッドから送り出される原クロックと駆動パルス発生回路10から同期信号発生回路11に出力されるクロックの位相差を一定にするために、比較回路28の出力に基づいて2連倍回路27の出力であるクロックを1個除去するか否かという制御方法を行ったが、この除去する個数が1以外の奇数であっても同様な効果が得られる。

【0043】以上のように実施例1の構成装置は、駆動パルス発生手段（67）の出力である原クロックをカメラヘッド（1）に送り返し、これと前記駆動パルス発生手段（10）から前記同期信号発生手段（11）へ出力されるクロックの位相を一定にするよう制御しているため、図体像検出子（5）の出力と前記駆動パルス発生手段（10）から出力される相関二重サンプリング用パルスの位相はケーブルの長さに関わらず常に一定となる。従って、カメラヘッド（1）とカメラコントローラ（2）を接続するケーブル（3）がどのような長さであっても、位相補正用の遅延量をスイッチにより切り換

える必要の無い、つまり遅延量切り換えスイッチが不要な像検装置を得ることができ。しかも、図示のように、2連倍回路27と比較回路28が比較的簡単な回路で実現できる。

【0044】実施例2

この実施例は、その全体的構成は実施例1と同じで、図1に示す如くであるが、実施例1とは、2連倍回路27および位相比較回路28の構成が異なる。以下これについて図11を参照して説明する。図11において、図5と同一の符号は同一または対応する部材を示す。

【0045】43は遅延回路35の出力と入力増子40に供給されるクロックの位相を比較するD型リニアクロック（DFF）である。68は、電源投入直後にDFF4 3をリセットするリセット回路で、抵抗44と、コンデンサ45とNOT4 6および47とで構成されている。EX-OR4 8は遅延回路35から入力されるクロックを位相比較用のDFF4 3の出力に基づき正転あるいは反転して出力する。遅延回路36はEX-OR4 8から入力されるクロックを1/4周期遅延する。遅延回路36とEX-OR4 9とで2連倍回路27を構成している。

【0046】実施例2の全体的動作は実施例1と同じである。しかし、2連倍回路27および位相比較回路28の動作が異なる。即ち、位相比較回路として用いられているDFF4 3は、原クロックと同期信号発生回路11に入力されるクロックの位相を比較する。また、EX-OR4 8は2つの位相を比較した結果、予め決定した位相関係ないし位相遅延（この回路例ではDFF4 3の出力から入力増子40に供給されるクロックの立ち上がり）にDFF4 3の出力を遅延回路35の出力が

“L”でない場合には、2連倍回路27に入力されるクロック（EX-OR4 8の出力）を反転することにより2つのクロックの位相差を一定にする。この動作を図12のタイミングチャート図を使って詳しく説明する。

【0047】まず、遅延回路35の出力と入力増子40に供給されるクロック（同期信号発生回路11に入力されるクロック）が予め定めた位相関係、つまり正転な位相関係の場合を考える。この場合は図12のタイミングチャート図から明らかなように位相比較の結果であるDFF4 3のQ出力は“L”であるから、EX-OR4 8の出力にはなんの変化も無く、遅延回路35からの入力かそのまま出力される。従って、駆動パルス発生回路11に出力されるクロックにもなんの変化も無く、位相比較する原クロックの位相はそのまま維持される。

【0048】遅延回路35の出力と入力増子40に供給されるクロックが予め決定した位相関係と逆な場合は、つまり異常な場合は、図12のタイミングチャート図から明らかなように位相比較の結果であるDFF4 3のQ出力は“H”であるから、入力増子40に供給されるクロックの立ち上りのタイミングでEX-OR4 8の出

力は反転する。このクロックが次の2連倍回路に入力される図12のタイミングチャート図から明らかなように、入力増子40に供給されるクロックは、EX-OR4 8の出力が反転され無い場合（つまり位相比較用DFF4 3を動作させない場合で図12の下の方に示す）に比べ、クロックが1個多くなる。従って、半周期後には両者のクロックの位相は予め定めた位相、つまり正常な位相になる。

【0049】上記の実施例では位相比較をするのは、DFF4 3のリセットが解けてから入力増子40に供給されるクロック（同期信号発生回路11に入力されるクロック）の最初の立ち上がりという構成となっているが、この比較をFV信号の水平同期あるいは垂直同期に行う様な構成でもよい。

【0050】以上のような実施例2の2連倍回路27および位相比較回路28を用いれば、駆動パルス発生手段内の遅延時間の如何に関らず、所望の動作が実現できる。即ち、実施例1の回路では、駆動パルス発生手段内の遅延時間（基準クロックを1/2分周し、出力するまでの時間）が基準クロックの周期の1/2以上の場合には、所望の動作が実現できないが、実施例2ではこのような問題が解決できる。

【0051】実施例3

この実施例は、その全体的構成は実施例1と同じで、図1に示す如くであるが、実施例1とは、2連倍回路27および位相比較回路28の構成が異なる。以下これについて図13を参照して説明する。図13において、図5と同一の符号は同一または対応する部材を示す。

【0052】NOT5 0および1は遅延回路35の出力のフリップフロップ数を増やすために設けられたバッファである。OR5 2および53、DFF5 4および55、ならびにEX-OR5 6で位相比較回路28が構成される。OR5 4および58、OR5 7から入力されるクロックを1/4周期遅延する回路36、ならびにEX-OR5 9で2連倍回路27が構成される。60は位相比較回路（DFF5 4および55）のリセット信号が端子である。

【0053】実施例3の全体的動作は実施例1と同じである。しかし、2連倍回路27および位相比較回路28の動作が異なる。即ち、OR5 2および53、DFF5 4および55、ならびにEX-OR5 6で構成する位相比較回路28は、原クロックと同期信号発生回路11に入力されるクロックの位相を比較する。また、OR5 7はこれらの位相を比較した結果、予め定めた位相関係（この回路例ではOR5 2の出力の立ち上がりで入力増子40に供給されるクロックが“L”）ではない場合には、入力されるクロックと入力されるクロックを1/4周期遅延させたクロックをEX-ORに入力する構成の2連倍回路27の2つの入力の内、入力されるクロックを1/4周期遅延させたクロック（この例では正確に言え

は、遅延させる前のクロックに対し制御を行っているが、遅延の後のクロックに対する制御と等価である）の方を1個除去することによりクロックの位相差を一定にする。この動作を図14のタイミングチャート図を使って詳しく説明する。

【0054】まず、NOT5 0の出力（送り返されてきた元の位相、つまり正常な位相の場合を考える。この場合は図14のタイミングチャート図から明らかなように、リセットが解除になっても、DFF5 4の出力は“L”（従ってクロック入力増子Cにはクロックが供給され続ける）であるから、DFF5 5のQ出力も“L”（従ってこれらのクロック入力増子Cにもクロックが供給され続ける）である。従って、EX-OR5 6の出力は“L”であるから、遅延回路36に入力されるクロックに変化はなく、2連倍回路27の出力である駆動パルス発生回路10に出力されるクロックにもなんの変化も無いので、位相比較する原クロックの位相はそのまま維持される。

【0055】NOT5 0の出力（送り返されてきた原クロック）と入力増子40に供給されるクロック（同期信号発生回路11に入力されるクロック）が予め定めた位相関係と逆な場合は、つまり異常な場合は、図14のタイミングチャート図から明らかなように、OR5 4の出力の最初の立ち上がりでDFF5 4のQ出力は“H”となる。このQ出力が“H”になるとOR5 2の出力は自動的に“H”となるため、以後DFF5 4はリセットがかかるまでの状態を維持する。一方、DFF5 5のQ出力はDFF5 4のQ出力を1クロック遅らせて出力するため、OR5 3の出力の2番目の立ち上がりで“H”を出力する。従って、EX-OR5 6の出力はリセットが解除になつてからOR5 2の出力の最初の立ち上がりから1周期間“H”を出力する。この出力をOR5 7に入力するとOR5 7の出力はクロックが1個除去されたものとなる。このクロックを遅延回路36により1/4周期遅延させたクロックとOR5 8（OR3による遅延の補正用）の出力（クロック1個の除去もなく1/4周期の遅延もないクロック）から2連倍回路により生成されるクロックは、図14のタイミングチャート図から明らかなように、単に2倍速して得られるクロックに比べ、クロック数が1個かきくくなっている。従って、1周期半後には両者のクロックの位相は予め決定した位相、つまり正常な位相になる。

【0056】リセット信号が“L”になりDFF5 4および5のリセットされると、両者のQ出力は同時に“L”になるためOR5 7の出力にはなんら影響を与えず、従って駆動パルス発生回路10の出力にもなんら影響を与えずに位相比較回路28はリセットされる。リセット信号が“H”になりリセットが解除れば、また位相

比較回路28は、位相比較動作が可能な状態に戻ることを出来る。

【0057】上記の説明は、カメラヘッドから送り出されるクロックと駆動/ウイルス発生回路10から同期信号発生回路11に出力されるクロックの位相差を一定にするために、比較回路28の出力に基づいて2連倍回路27に入力される一方のクロックを1周除去するか否かという判断方法を行ったが、実施例1について述べたと同様、この除去する周数が1以外の奇数であっても同様な結果が得られる。以上のような実施例3の2連倍回路27と位相比較回路28を用いれば、回路素子遅延や温度変化あるいはそれらのバラツキ等に起因する不安定性がない。即ち、実施例2の回路では、回路素子遅延や温度変化あるいはそれらのバラツキ等に起因する不安定性が回路を構成する際に問題となるが、実施例3ではこのような問題が解決できる。

【0058】

【発明の効果】 以上のように、請求項1の発明によれば、電圧-周波数変換手段(67)の出力である周クロックをカメラヘッド(1)に送り返し、これと前記駆動/ウイルス発生手段(10)から前記同期信号発生手段(11)へ出力されるクロックの位相差を一定にするよう制御しているため、固体撮像素子(5)の出力と前記駆動/ウイルス発生手段(10)から出力される相隣二重サンプリング用/ウイルスの位相差はケーブルの長さに拘わらず常に一定となる。従って、カメラヘッド(1)とカメラコントローラ(2)を接続するケーブル(3)がどのような長さであっても、位相補償用の遅延量をスイッチにより切り換える必要の無い、つまり遅延量切り換えスイッチが不要な撮像装置を得ることが出来る。

【0059】請求項2によれば、上記の所望の動作が簡単な回路構成で実現できる。

【0060】請求項3によれば、駆動/ウイルス発生手段内の遅延時間の如向に拘らず、所望の動作が実現できる。

【0061】請求項4では、回路素子遅延や温度変化あるいはそれらのバラツキ等に起因する不安定性がない。

【図面の簡単な説明】

【図1】 実施例1の撮像装置を示す図である。

【図2】 図1のドライバ回路21の一例を示す図である。

【図3】 図1のドライバ回路25の一例を示す図である。

【図4】 図1の波形整形回路26の一例を示す図である。

【図5】 図1の2連倍回路27と位相比較回路28の一例を示す図である。

【図6】 2相駆動の場合の水平レジスタ転送休止/ウイルス発生回路の一例を示す図である。

【図7】 図6の回路の主要部の波形を示す図である。

【図8】 波形整形回路20、水平レジスタ駆動用クロック発生回路22およびリセットクロック発生回路23の一例を示す図である。

【図9】 図8の回路の主要部の波形を示す図である。

【図10】 図7に示す回路のタイミングチャートである。

【図11】 実施例2で用いられる2連倍回路27と位相比較回路28の一例を示す図である。

【図12】 図11に示す回路のタイミングチャートである。

【図13】 実施例3で用いられる2連倍回路27と位相比較回路28の一例を示す図である。

【図14】 図13に示す回路のタイミングチャートである。

【図15】 従来の撮像装置を示す図である。

【図16】 図15の水平クロックドライバ6の一例を示す図である。

【図17】 図15のリセットクロック発生回路7の一例を示す図である。

【図18】 図15の水平レジスタ転送クロックドライバ回路15の一例を示す図である。

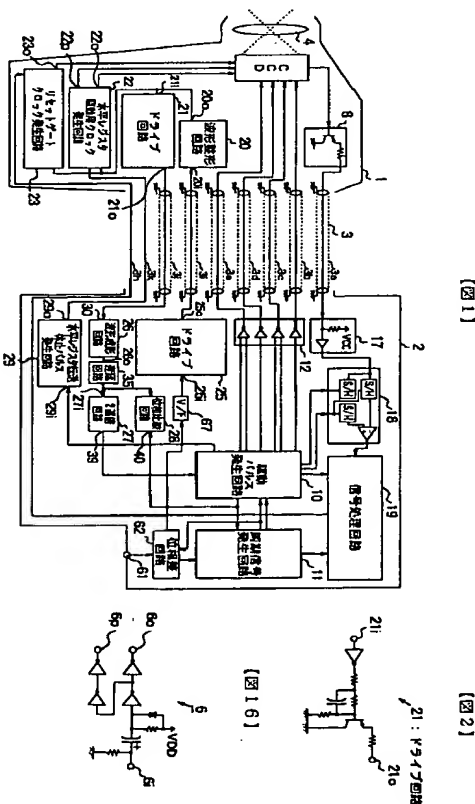
【図19】 図15のリセットクロックドライバ回路16の一例を示す図である。

【図20】 図15の位相検出回路の一例を示す図である。

【図21】 図15の固体撮像素子の出力、固体撮像素子の水平駆動/ウイルスおよび相隣二重サンプリング用/ウイルスの位相を示す図である。

【符号の説明】

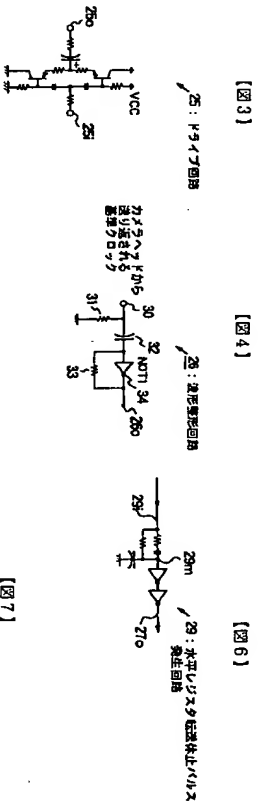
1 カメラヘッド、2 カメラコントローラ、3 接続用ケーブル、5 固体撮像素子、8 出力信号用ドライバ回路、10 駆動/ウイルス発生回路、11 同期信号発生回路、12 垂直クロックドライバ、17 増幅回路、18 相隣二重サンプリング回路、19 信号処理回路、20 波形整形回路、21 ドライバ回路、22 水平レジスタ駆動用クロック発生回路、23 リセットクロック発生回路、25 ドライバ回路、26 波形整形回路、27 2連倍回路、28 位相比較回路、29 水平レジスタ転送休止/ウイルス発生回路、35 遅延回路、36 1/4周遅延する回路、37 EX-ORゲート、38 ORゲート、41 遅延回路、42 EX-ORゲート、43 DFF、62 位相差検出回路、67 電圧-周波数変換回路。



【図1】

【図2】

【図16】

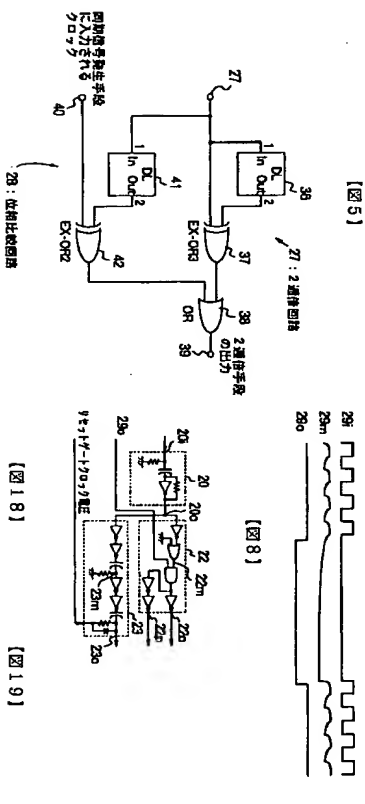


【図4】

【図6】

【図5】

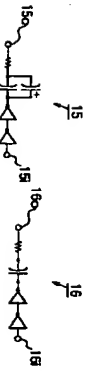
【図7】



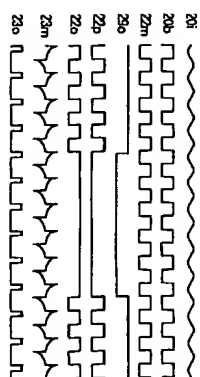
【図8】

【図18】

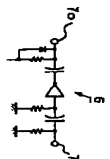
【図19】



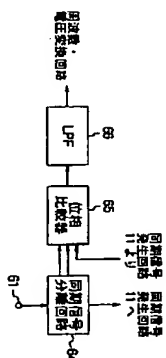
【図9】



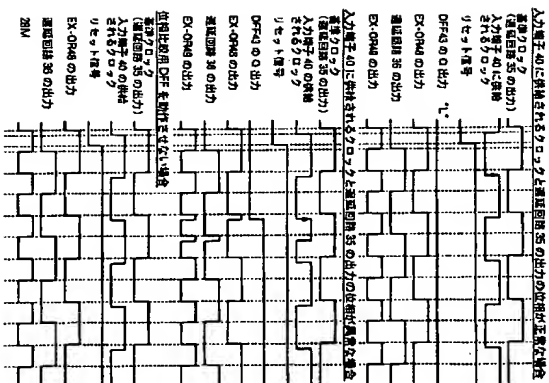
【図17】



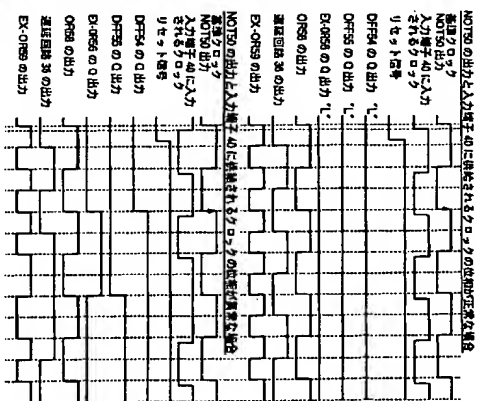
【図20】



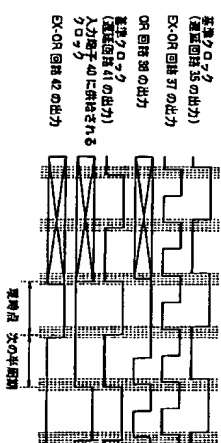
【図12】



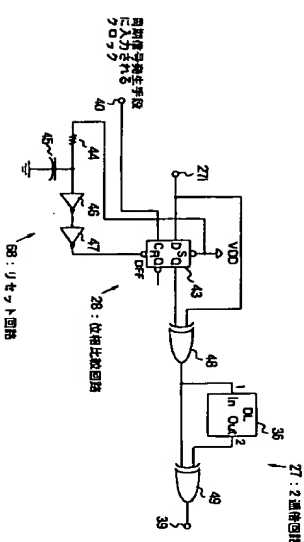
【図14】



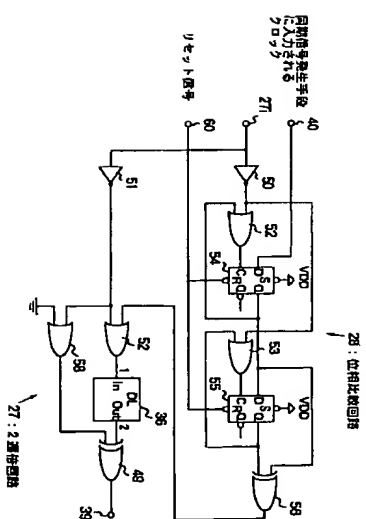
【図10】



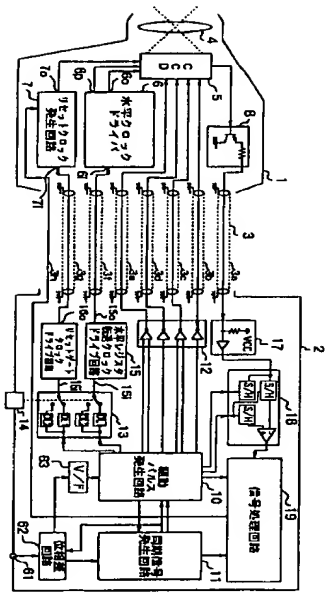
【図11】



【図13】



【図15】



【図21】

